

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-74878

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl.<sup>5</sup>

H 01 L 21/66

識別記号 庁内整理番号

A 7013-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全6頁)

(21) 出願番号

特願平3-234197

(22) 出願日

平成3年(1991)9月13日

(71) 出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 阿部 伸昭

山形県山形市北町4丁目12番12号山形日本  
電気株式会社内

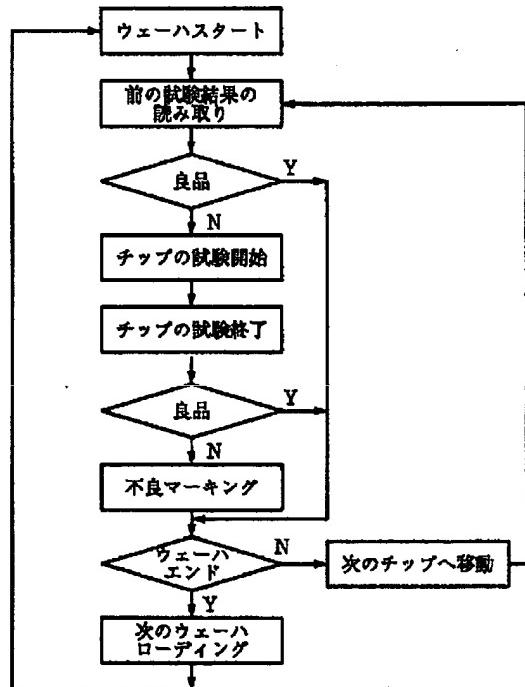
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 ウエーハの試験方法

(57) 【要約】

【目的】 ウエーハ内に作り込まれた半導体素子で1度、  
不良と判定されたチップの再試験を経済的に行なう。

【構成】 従来の集積回路テストシステムに対し、制御装置7と記憶装置13を加える。制御装置7は、試験装置用インターフェイス12とプローピング装置用インターフェイス9を介して、試験結果とウエーハ内の集積回路のアドレスを取り込み、記憶する。次に、不良と判定されたチップの再試験は、制御装置7により、前回、不良と判定されたチップのみを試験する様に、図2のフローチャートに従って、ウエーハの再試験を行なう。



1

## 【特許請求の範囲】

【請求項1】 ウェーハ内に作り込まれた半導体素子の試験結果をチップごとに記憶装置に記憶させ、不良と判定されたチップのみを2回目以降の試験の対象とすることを特徴とするウェーハの試験方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はウェーハ内に作り込まれた半導体素子をウェーハプローピング装置を用いて、チップごとにその機能及び特性を試験するウェーハの試験方法に関し、特に不良と判定されたチップを再度試験する際のウェーハの試験方法に関する。

## 【0002】

【従来の技術】不良品を対象として再度試験を行なう方法は、組立を完了した個々の製品では、良品と不良品を完全に分離できるため、特に問題なく行える。しかし、ウェーハ段階の試験では、同一ウェーハ内に良品チップと不良チップが混在している為、ウェーハ内の全チップの試験が終了しても、良品チップと不良チップは混在したままで見分けが付かない。従って、ウェーハ内の良品チップと不良チップを見分ける為に、不良チップには不良マークを付ける。

【0003】この不良マークを付ける方法として、レーザーなどを用いて、不良チップを破壊し、その破壊跡を不良マークとする方法と、インクを用いて、印を付ける方法がある。破壊されたチップは二度とは使えない。又、インクで印を付けた場合も、インクをきちんと除去するには、専用の装置を必要とする為、従来、ウェーハ段階での不良チップの再試験は行われていない。

【0004】しかし、試験装置等に何らかの異常が発生し、良品を不良と判定した場合、あるいは、製品スペックが非常に厳しいため、規格に対しがりぎりで不良品と判定された場合等、第1回目の試験で不良と判定されたチップのみを対象とし再試験が必要となるケースが発生する。

【0005】しかしながら、不良マークを付けずに試験を行ない、再度不良チップの試験を目的にウェーハ内のチップを試験する場合は、そのウェーハ内の良品チップをも対象としまうため、全チップを再度試験し直す方法がとられている。

## 【0006】

【発明が解決しようとする課題】このように従来のウェーハの試験方法では、不良チップの再試験を行なう為には、1回目の試験で不良マークを付けずに試験を行なえばよいが、2回目以降の試験では1回目で良品と判定されたチップをも試験の対象としなければならない為、試験時間も長くなり、非効率的な試験となってスループットが低下するという欠点がある。

【0007】又、何らかの予期せぬ要因により、前回、良品と判定されたチップが2回目以降の試験で不良と判

10

20

30

40

2

定された場合、不良マークが付いてしまい、本来、良品であるチップが使えなくなってしまう場合もある。

## 【0008】

【課題を解決するための手段】本発明のウェーハの試験方法は、ウェーハ内に作り込まれた半導体素子の試験結果をチップごとに記憶装置に記憶させ、不良と判定されたチップのみを2回目以降の試験の対象とするものである。

## 【0009】

【実施例】次に本発明について図面を参照して説明する。図1及び図2は本発明の一実施例を説明するための工程図、図3は本実施例を説明するためのテストシステムのブロック図である。試験を行なうウェーハ3はプローピング装置2の内のウェーハステージ4に載せられる。そしてこのプローピング装置2には、制御装置7を介して試験装置1とマーキング装置6及び記憶装置13とに接続されている。

【0010】まず、1回目の試験は図1に示すように、従来と同様にウェーハ3の全チップを対象に試験が行なわれる。この時、チップの試験の結果が不良であっても、マーキング装置6による不良マーキングは行なわない。そして試験装置1による試験の結果は、試験装置用インターフェイス12を介して、制御装置7へ取り込まれ、同時にプローピング装置2からは、そのチップのアドレスがX-Yコーディネータ5により、プローピング装置用インターフェイス9を介して取り込まれる。そのX-Yアドレスと試験結果をチップ対応で記憶装置用インターフェイス11を介して記憶装置13に書き込み、プローピング装置2のウェーハステージ4が移動し、次のチップが試験される。

【0011】次に、不良チップのみの試験方法について図2及び図3を用いて説明する。

【0012】初めに、ウェーハ3がウェーハステージ4にセットされると、試験チップのアドレスがX-Yコーディネータ5により、プローピング装置用インターフェイス9を介して制御装置7へ送られる。同時に記憶装置用インターフェイス11を介して前の試験結果が記憶装置13より読み取られ、良品であれば制御装置7のコントローラ8はプローピング装置2へ次のチップへの移動の信号を返し、試験を行わない。前の試験結果が不良であれば、コントローラ8は試験装置用インターフェイス12を介して試験装置1にテストスタート信号を送信し、チップの試験を行なう。その試験の結果が良品であれば、プローピング装置2へ次のチップへの移動の信号を送信する。不良であればマーキング装置6へ不良信号を送信し、マーキング装置6は不良マーキングを行なった後、プローピング装置2へ次のチップへの移動の信号を送信する。

【0013】以上、不良品の再試験を1回行なう場合に

ついて説明したが複数回行なう場合も同様であり、最後の試験の時に図2の工程図に従って試験される。それまでの試験は1回目の試験を図1のフローチャートに従って試験し、2回目から最後の試験の前までは、図4のフローチャートに従って、試験する。

## 【0014】

【発明の効果】以上、説明したように本発明は、ウェーハ内で既に良品と判定されたチップを自動的に試験の対象から外し、不良と判定されているチップのみを試験の対象とする為、不良チップの再試験が可能となる。又、再試験では試験の対象となるチップが減り、テスト時間が短縮され、スループットの向上と試験コストの低減が可能となる。

【0015】さらに、複数のユーザーより別々のスペックの要求があった場合においても、個々のユーザー別のテストプログラムによる再試験が可能となる為、同一ウェーハ内より複数のユーザー向けの良品チップを取ることができる、コストダウンが可能となる。

## 【図面の簡単な説明】

【図1】本発明の一実施例を説明するための工程図。

【図2】本発明の一実施例を説明するための工程図。

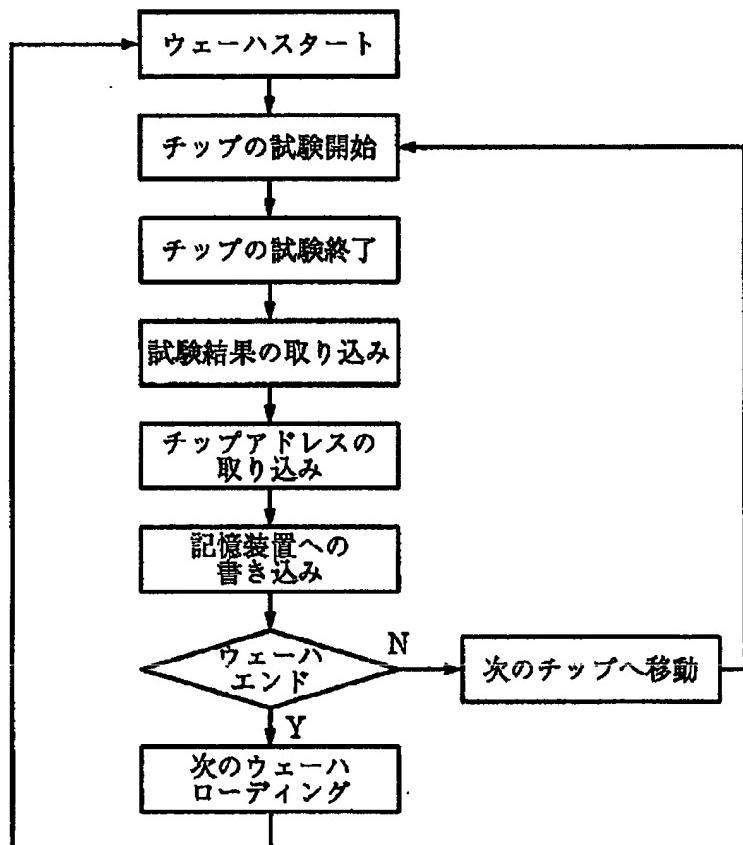
【図3】実施例を説明するためのテストシステムのプロック図。

【図4】本発明の他の実施例を説明するための工程図。

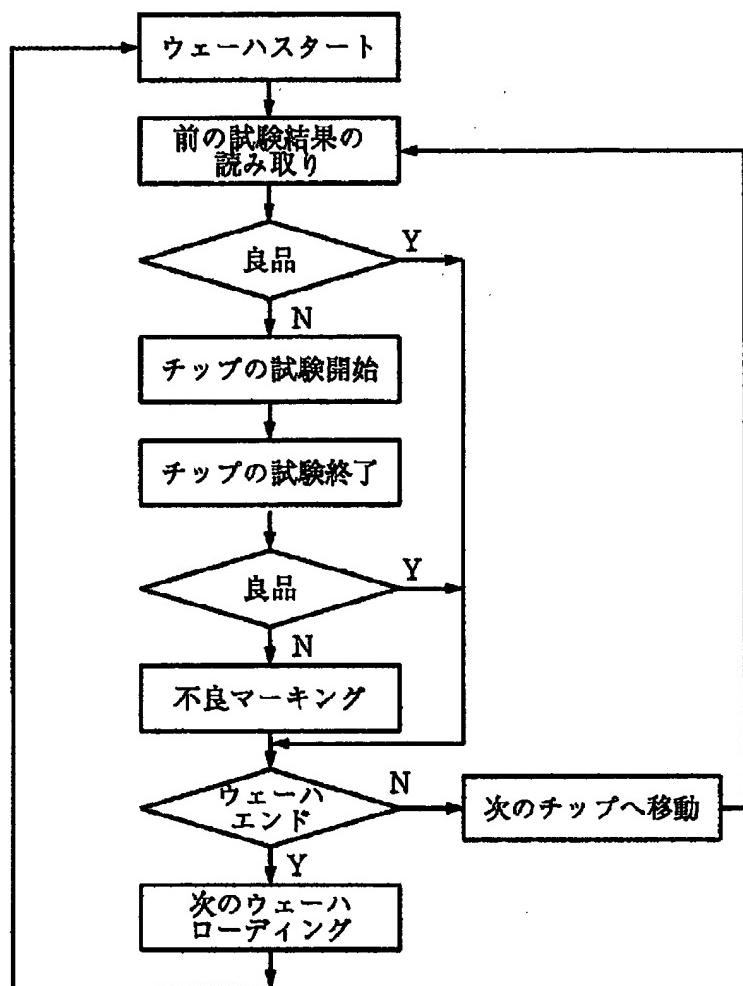
## 【符号の説明】

- |    |                   |
|----|-------------------|
| 1  | 試験装置              |
| 2  | プローピング装置          |
| 3  | ウェーハ              |
| 4  | ウェーハステージ          |
| 5  | X-Yコーディネータ        |
| 6  | マーキング装置           |
| 7  | 制御装置              |
| 8  | コントローラ            |
| 9  | プローピング装置用インターフェイス |
| 10 | マーキング装置用インターフェイス  |
| 11 | 記憶装置用インターフェイス     |
| 12 | 試験装置用インターフェイス     |
| 13 | 記憶装置              |

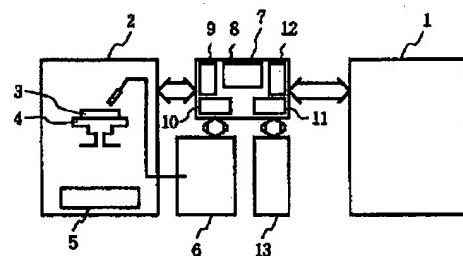
【図1】



【図2】



【図3】



- 1: 試験装置  
 2: プローピング装置  
 3: ベース  
 4: ベースプレート  
 5: X-Yゴーディネータ  
 6: マーキング装置  
 7: 前衛装置  
 8: コントローラ  
 9: プローピング装置用インターフェイス  
 10: マーキング装置用インターフェイス  
 11: 記録装置用インターフェイス  
 12: 試験装置用インターフェイス  
 13: 記憶装置

【図4】

